



PATENT ABSTRACTS OF JAPAN

(11)Publication number: 09246326

(43)Date of publication of application: 19.09.1997

(51)Int.CI.

H01L 21/60
C09J 5/06
C09J 9/02
H01L 25/04
H01L 25/18

(21)Application number: 08053329

(71)Applicant: FUJITSU LTD

(22)Date of filing: 11.03.1996

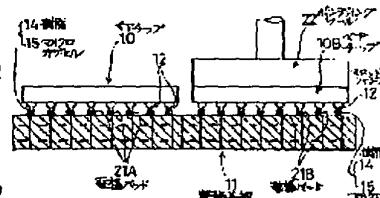
(72)Inventor: OZAWA TAKASHI

(54) FLIP CHIP MOUNTING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To make it possible to mount in high density by a flip chip mounting method in which a plurality of semiconductor elements are face-down mounted on a substrate.

SOLUTION: First, a thermosetting type resin 14, which functions as a bonding agent, is applied to the tip of a stud bump 12 formed on a bare chip 10, and a micro-capsule 15, on which a conductive filler is coated with insulating material, is adhered to the resin 14. While the above-mentioned condition is being maintained, the bare chip 10 is thermocompression bonded to the electrode pad 21A formed on a mounting substrate 11 by flip chip bonding. Subsequently, by the same treatment as above, a bare chip 10B is thermocompression bonded to an electrode pad 21B by flip chip bonding.



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-246326

(43) 公開日 平成9年(1997)9月19日

(51) Int. C1.º	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 1 1	H 0 1 L 21/60	3 1 1	S
C 0 9 J 5/06	J G V	C 0 9 J 5/06	J G V	
9/02		9/02		
H 0 1 L 25/04		H 0 1 L 25/04		Z
25/18				

審査請求 未請求 請求項の数 6

○ L

(全9頁)

(21) 出願番号	特願平8-53329	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	平成8年(1996)3月11日	(72) 発明者	小澤 隆史 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

(74) 代理人 弁理士 伊東 忠彦

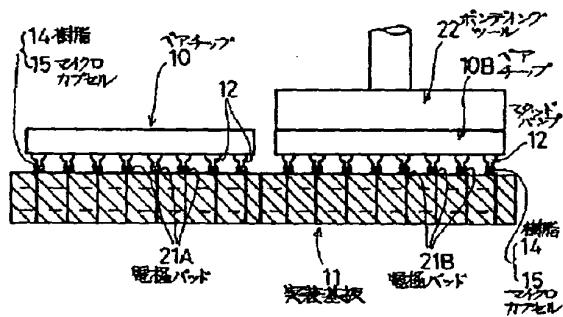
(54) 【発明の名称】 フリップチップ実装方法

(57) 【要約】

【課題】 本発明は複数の半導体素子を基板上にフェイスダウンで実装するフリップチップ実装方法に関し、高密度実装化を可能とすることを課題とする。

【解決手段】 まず、ペアチップ10Aに形成されたスタッダードバンプ12の先端に接着剤として機能する熱硬化型の樹脂14を付着させ、その後に導電性フラーを絶縁材料でコーティングしたマイクロカプセル15を前記樹脂14に付着させ、この状態を維持しつつペアチップ10Aを実装基板11に形成された電極パッド21Aにフリップフリップチップボンディングにより熱圧着する。続いて、上記と同様の処理によりペアチップ10Bを電極パッド21Bにフリップフリップチップボンディングにより熱圧着する。

本発明の一実施例を説明するための図であり、2個目のペアチップを実装基板に固定する処理を示す図



【特許請求の範囲】

【請求項1】 バンプが形成された複数個の半導体素子を実装基板に形成された電極にフリップチップボンディングにより実装するフリップチップ実装方法において、前記半導体素子に形成されたバンプの先端に樹脂を付着させ、

その後に導電性フィラーを絶縁材料でコーティングしたマイクロカプセルを前記樹脂に付着させ、この状態の前記半導体素子を前記実装基板に形成された電極にフリップフリップチップボンディングにより熱圧着することを特徴とするフリップチップ実装方法。

【請求項2】 バンプが形成された複数個の半導体素子を実装基板に形成された電極にフリップチップボンディングにより実装するフリップチップ実装方法において、前記半導体素子に形成されたバンプの先端に樹脂を付着させ、

その後に導電性フィラーを絶縁材料でコーティングしたマイクロカプセルを前記樹脂に付着させ、この状態の前記半導体素子を前記実装基板に形成された電極にフリップフリップチップボンディングにより熱圧着し、

前記処理を複数個の各半導体素子に対して繰り返し実施することを特徴とするフリップチップ実装方法。

【請求項3】 請求項2記載のフリップチップ実装方法において、

前記複数個の半導体素子を前記実装基板に実装した後、前記複数個の半導体素子と前記実装基板との間にアンダーフィルレジンを介装し、

前記アンダーフィルレジンを熱硬化させることにより前記複数個の半導体素子を一括的に前記実装基板に接合することを特徴とするフリップチップ実装方法。

【請求項4】 バンプが形成された複数の半導体素子を実装基板に形成された電極にフリップチップボンディングにより実装するフリップチップ実装方法において、前記半導体素子に形成されたバンプの先端に、導電性フィラーを絶縁材料でコーティングしたマイクロカプセルが混入された樹脂を付着させ、

この状態の前記半導体素子を前記実装基板に形成された電極にフリップフリップチップボンディングにより熱圧着し、

前記処理を複数個の各半導体素子に対して繰り返し実施することを特徴とするフリップチップ実装方法。

【請求項5】 請求項4記載のフリップチップ実装方法において、

前記複数個の半導体素子を前記実装基板に実装した後、前記複数個の半導体素子と前記実装基板との間にアンダーフィルレジンを介装し、

前記アンダーフィルレジンを熱硬化させることにより前記複数個の半導体素子を一括的に前記実装基板に接合することを特徴とするフリップチップ実装方法。

【請求項6】 請求項1乃至5のいずれかに記載のフリップチップ実装方法において、前記バンプとしてスタッドバンプを用いてたことを特徴とするフリップチップ実装方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はフリップチップ実装方法に係り、特に複数の半導体素子を基板上にフェイスダウンで実装するフリップチップ実装方法に関する。近年、半導体集積回路や混成集積回路の集積度が増加し、大規模化する傾向がますます強くなっている。これに伴い、これらの集積回路を搭載する回路基板も、絶縁層を介して多層に導体回路パターンが積層された多層回路基板や、両面実装回路基板を多く利用されるようになってきている。

【0002】特に、集積度が高く微細パターンを必要とする場合には、セラミック基板に相關絶縁膜としてポリイミド樹脂を使用し、薄膜導体回路パターンや薄膜抵抗素子を配設した薄膜多層回路基板が優れており、大型電子計算機や高速信号伝送モジュール等に使用され始めている。また、このような多層回路基板上に高密度にペアチップを実装する方法として、ソルダーレスフリップチップ実装が注目を集めている。

【0003】

【従来の技術】図11乃至図14は従来におけるフリップチップ実装方法の一例を示している。各図では、複数（以下の説明では2個）のペアチップ1A, 1Bを多層セラミック基板2にフリップチップ実装する例を示している。

【0004】ペアチップ1Aを多層セラミック基板2に実装するには、先ず図11に示されるように、多層セラミック基板2に予め形成されている電極パッド3に異方性導電性接着剤4を塗布する。具体的には、多層セラミック基板2にマスク5を配設し、異方性導電性接着剤4をスキージ6を用いて多層セラミック基板2に形成されている全ての電極パッド3に印刷（塗布）する。尚、異方性導電性接着剤4は、絶縁性樹脂に導電性フィラーが混入されたものである。

【0005】続いて、図12に示されるように、予めスタッドバンプ7が形成されているペアチップ1Aを、ボンディングツール8を用いて所定の電極パッド3に搭載する。この際、ボンディングツール8はペアチップ1Aを多層セラミック基板2に向け押圧する。上記のように、電極パッド3上には異方性導電性接着剤4が塗布されているため、スタッドバンプ7が電極パッド3に圧接されることにより、スタッドバンプ7と電極パッド3は異方性導電性接着剤4に混入された導電性フィラーにより電気的に導通される。

【0006】また、ボンディングツール8にはヒーターが組み込まれており、ペアチップ1Aが多層セラミック

基板2に搭載された状態で加熱処理が行われ、異方性導電性接着剤4に含まれる絶縁性樹脂が熱硬化することによりペアチップ1Aは多層セラミック基板2に実装される。尚、電極パッド3の外部に位置する異方性導電性接着剤4はアンダーフィルレジンとして機能する。

【0007】このように1個目のペアチップ1Aが多層セラミック基板2に仮止めされると、図13に示されるように、上記と同様の処理を行うことにより2個目のペアチップ1Bが多層セラミック基板2に実装される。上記したフリップチップ実装方法では、ハンダを用いることなくペアチップ1A、1Bを多層セラミック基板2に実装できるため（このハンダを用いない実装方法をソルダーレスフリップチップ実装という）、実装処理を容易に行うことができる。

【0008】また、加熱温度を低くすることができるためペアチップ1A、1Bに与えるダメージが少なく、またハンダを用いた場合には用いることができなかつた材料（例えばプラスチック等）の実装基板に対してもフリップチップ実装を行うことが可能となる。

【0009】

【発明が解決しようとする課題】ところで、上記したように近年では半導体集積回路や混成集積回路の集積度が増加し、これに伴い多層セラミック基板2上に配設された複数のペアチップ1A、1Bを近接させる必要が生じてきている。

【0010】しかるに、従来のフリップチップ実装方法において複数のペアチップ1A、1Bを近接させると、1個目のペアチップ1Aを多層セラミック基板2に搭載しボンディングツール8により加熱処理を行う際、ボンディングツール8の熱が多層セラミック基板2を熱伝導し、隣接する2個目のペアチップ1Bの配設位置まで加熱されてしまう。

【0011】図14は従来のフリップチップ実装方法において複数のペアチップ1A、1Bを近接させた状態を示している。同図に示されるように、従来のフリップチップ実装方法では、多層セラミック基板2上の電極パッド3上に予め異方性導電性接着剤4が塗布されているため、ボンディングツール8の熱により2個目のペアチップ1Bの配設位置まで加熱されると、2個目のペアチップ1Bに対応する電極パッド3に塗布された異方性導電性接着剤（図14に符号4aで示す）も硬化してしまう。

【0012】よって、1個目のペアチップ1Aを多層セラミック基板2に仮止めした後、2個目のペアチップ1Bを多層セラミック基板2に仮止めしようとしても、上記のように異方性導電性接着剤4aが硬化しているために仮止めを行うことができなくなる。このため、従来のフリップチップ実装方法ではペアチップ1A、1Bを高密度実装することができないという問題点があった。

【0013】本発明は上記の点に鑑みてなされたもので

あり、高密度実装化を可能とするフリップチップ実装方法を提供することを目的とする。

【0014】

【課題を解決するための手段】上記の課題は、以下の手段を講じることにより解決することができる。請求項1記載の発明では、バンプが形成された複数個の半導体素子を実装基板に形成された電極にフリップチップボンディングにより実装するフリップチップ実装方法において、前記半導体素子に形成されたバンプの先端に樹脂を付着させ、その後に導電性フライヤーを絶縁材料でコーティングしたマイクロカプセルを前記樹脂に付着させ、この状態の前記半導体素子を前記実装基板に形成された電極にフリップチップボンディングにより熱圧着することを特徴とするものである。

【0015】また、請求項2記載の発明では、バンプが形成された複数個の半導体素子を実装基板に形成された電極にフリップチップボンディングにより実装するフリップチップ実装方法において、前記半導体素子に形成されたバンプの先端に樹脂を付着させ、その後に導電性フライヤーを絶縁材料でコーティングしたマイクロカプセルを前記樹脂に付着させ、この状態の前記半導体素子を前記実装基板に形成された電極にフリップチップボンディングにより熱圧着し、前記処理を複数個の各半導体素子に対して繰り返し実施することを特徴とするものである。

【0016】また、請求項3記載の発明では、前記請求項2記載のフリップチップ実装方法において、前記複数個の半導体素子を前記実装基板に実装した後、前記複数個の半導体素子と前記実装基板との間にアンダーフィルレジンを介装し、前記アンダーフィルレジンを熱硬化させることにより前記複数個の半導体素子を一括的に前記実装基板に接合することを特徴とするものである。

【0017】また、請求項4記載の発明では、バンプが形成された複数の半導体素子を実装基板に形成された電極にフリップチップボンディングにより実装するフリップチップ実装方法において、前記半導体素子に形成されたバンプの先端に、導電性フライヤーを絶縁材料でコーティングしたマイクロカプセルが混入された樹脂を付着させ、この状態の前記半導体素子を前記実装基板に形成された電極にフリップチップボンディングにより熱圧着し、前記処理を複数個の各半導体素子に対して繰り返し実施することを特徴とするものである。

【0018】また、請求項5記載の発明では、前記請求項4記載のフリップチップ実装方法において、前記複数個の半導体素子を前記実装基板に実装した後、前記複数個の半導体素子と前記実装基板との間にアンダーフィルレジンを介装し、前記アンダーフィルレジンを熱硬化させることにより前記複数個の半導体素子を一括的に前記実装基板に接合することを特徴とするものである。

【0019】更に、請求項6記載の発明では、前記請求

項1乃至5のいずれかに記載のフリップチップ実装方法において、前記バンプとしてスタッドバンプを用いてたことを特徴とするものである。上記した各手段は、次のように作用する。

【0020】請求項1及び2記載の発明によれば、半導体素子に形成されたバンプの先端に樹脂を付着させ、その後にバンプ先端に付着した樹脂にマイクロカプセルを付着させるため、樹脂及びマイクロカプセルは実装基板側ではなく、半導体素子に形成された個々のバンプに配設された構成となる。

【0021】そして、このマイクロカプセル及び樹脂がバンプに付着した状態の半導体素子を実装基板上にフリップチップボンディングすることにより、バンプと電極との間にマイクロカプセルが介在することとなり、バンプが電極に向け押圧されることにより導電性フィラーをコーティングした絶縁材料は破れ導電性フィラーによりバンプと電極とは電気的に接続する。更に、樹脂はフリップチップボンディング時に加熱されるため熱硬化し、半導体素子は実装基板に固定される。

【0022】この際、本請求項に係るフリップチップ実装方法では、従来のように実装基板の電極に樹脂を塗布することは行わず、各バンプ（半導体素子側）に樹脂を付着させる構成としている。このため、ある半導体素子に対し熱圧着処理を行うことにより、熱が隣接する電極に印加されても、隣接する電極がこの熱により影響を受けることはなく、よって実装基板上に半導体素子を近接配置することが可能となる。これにより、半導体素子を実装基板上に高密度に配置することができる。

【0023】また、請求項3及び請求項5記載の発明によれば、実装された複数個の半導体素子と実装基板との間にアンダーフィルレジンを介装し、このアンダーフィルレジンを熱硬化させることにより複数個の半導体素子を一括的に実装基板に接合することにより、各半導体素子を実装基板に確実に固定することができ実装の信頼性を向上することができる。

【0024】また、固定後に熱が印加されたような場合であっても、半導体素子と実装基板との熱膨張差による応力発生をアンダーフィルレジンで抑制することができ、これによっても信頼性を向上することができる。更に、請求項4記載の発明によれば、半導体素子に形成されたバンプの先端にマイクロカプセルが混入された樹脂を付着させる方法を用いているため、請求項1のフリップチップ実装方法ではマイクロカプセルをバンプに付着させるのに樹脂の付着工程とマイクロカプセルの付着工程との二つの工程が必要であったものを、本請求項に係る方法では一つの工程で行うことができる。よって、フリップチップ実装における工程の簡略化を図ることができる。

【0025】

【発明の実施の形態】次に本発明の実施の形態について

図面と共に説明する。図1乃至図9は、本発明の一実施例であるフリップチップ実装方法を示している。尚、以下の説明においては、説明及び図示の便宜上、2個の半導体素子10A, 10Bを多層セラミックス基板11（以下、実装基板11という）に実装するマルチ・チップ・モジュール（MCM）を例に挙げて説明する。

【0026】本実施例に係るフリップチップ実装方法では、先ず図1に示されるように、半導体素子10A（10B）を用意する。この半導体素子10A（10B）

10は、パッケージングされていないペアチップ（以下、半導体素子10A, 10Bをペアチップ10A, 10Bという）であり、その一面には複数のスタッドバンプ12が形成されている。

【0027】このスタッドバンプ12は、例えはワイヤボンディング装置を用いて形成されるものであり、各ペアチップ10A, 10Bに金ワイヤをボンディングした後、キャピラリ（図示せず）を所定量上動させた上で金ワイヤを切断し、高さの均一化処理を行うことにより形成される。

20【0028】上記構成とされたペアチップ10A（10B）は、図2に示される樹脂供給容器13に装着される。樹脂供給容器13は上部に形成された凹部に樹脂14が装填されている。この樹脂14は例えはエポキシ樹脂等の熱硬化性樹脂であり、また硬化される前の状態においては所定の粘性を有し、接着剤として機能するものが選定されている。ペアチップ10A（10B）は、この樹脂供給容器13に装着された状態で、スタッドバンプ12の先端部がこの樹脂14内に浸漬される構成とされている。

30【0029】統いて、ペアチップ10A（10B）を樹脂供給容器13から引き上げることにより、スタッドバンプ12の先端部には樹脂14が付着する。この際、樹脂14は各スタッドバンプ12の先端部にのみ付着しており、ペアチップ10A（10B）の本体部分には付着していない。

【0030】上記のようにペアチップ10A（10B）に形成されている各スタッドバンプ12の先端部に樹脂14が付着されると、統いて図3に示されるように、各スタッドバンプ12の先端部には樹脂14を接着剤としてマイクロカプセル15が付着される。図3において、16はマイクロカプセル供給容器であり、その上部に形成された凹部には多数のマイクロカプセル15が装填されている。

40【0031】ペアチップ10A（10B）は下動することによりこのマイクロカプセル供給容器16に装着され、装着状態においてスタッドバンプ12の先端部はマイクロカプセル供給容器16に装填されている多数のマイクロカプセル15内に進入する。

【0032】統いて、ペアチップ10A（10B）をマイクロカプセル供給容器16から引き上げると、スタッ

ドバンプ12の先端部には接着剤として機能する樹脂14が付着しているため、この樹脂14にマイクロカプセル15が付着し、結果としてスタッドバンプ12の先端部にマイクロカプセル15が付着する。

【0033】図4は、スタッドバンプ12の先端部にマイクロカプセル15が付着した状態を拡大して示している。前記したように、樹脂14は各スタッドバンプ12の先端部にのみ付着している。このため、同図に示されるように、マイクロカプセル15も各スタッドバンプ12の先端部にのみ付着した構成となっている。

【0034】ここで、マイクロカプセル15の構造について説明する。マイクロカプセル15は、図4(B)に示されるように、導電性フィラー17を絶縁膜18でコーティングした構造とされている。導電性フィラー17は例えば銀(Ag)等の導電性金属の微粒体であり、また絶縁膜18は後述するように絶縁性樹脂により形成されている。この絶縁膜18は外部圧力により破壊される構成とされており、破壊されることにより内部に位置する導電性フィラー17が露出する構成とされている。

【0035】従って、図8に示されるように、このマイクロカプセル15をスタッドバンプ12と実装基板11の電極パッド21との間に介装すると、スタッドバンプ12の押圧力により絶縁膜18は破壊され、導電性フィラー17はスタッドバンプ12及び電極パッド21と共に接続する。

【0036】これにより、スタッドバンプ12と電極パッド21は導電性フィラー17を介して電気的に接続された構成となる。但し、側部においては絶縁膜18は残存した構成となっているため、スタッドバンプ12と電極パッド21との対向方向(図中上下方向)に対しては導電性を発揮するものの、これと直行する方向(図中左右方向)に対しては絶縁性を有した構成となっている。即ち、このマイクロカプセル15は異方性導電性を有した構成となる。

【0037】続いて、マイクロカプセル15の製造方法について説明する。マイクロカプセル15を製造するには、先ず水370ミリリットル中にポリビニルアルコール20gと乳化剤2gを溶解させて水相を作る。また、ジクロロエタン30ミリリットルにビスマレイミド(以下、略してBIMIという)を7gとジアミノジフェニルメタン(以下、略してDDM)を4g溶解させ、これに粒径が0.3~0.5μmの導電性フィラー17となる銀(Ag)粉を5gとチタネートカップリング剤(品名KR-38S、味の素(株))を0.1gを加えて油相を作る。そして、この油相に30分間にわたり超音波振動を加えて凝集しているAg粉を均一に分散させる。

【0038】次に、ホモジナイザを用い、水相を7000rpmで攪拌しながら油相を徐々に滴下し、Ag粉の表面に油相が存在するサスペンジョンを形成する。このサスペンジョンをスリーワンモータで2000rpmで攪

拌しながら、30ミリリットルの水に1gの触媒(ジアザビンクロウンデセン)を溶解させたものを2時間かけて滴下し、65℃に昇温して4時間攪拌を続けることにより、Ag粉の表面でBIMIとDDMとを反応させ、以上の工程を経ることにより導電性フィラー17となるAg粉の表面に約0.1μmの絶縁膜18が形成される。

【0039】図5に戻り、再び本実施例に係るフリップチップ実装方法の説明を続ける。図1乃至図4を用いて説明したように、ペアチップ10A(10B)に形成されたスタッドバンプ12の先端に樹脂14及びマイクロカプセル15が付着されると、図5に示されるように、1個目のペアチップ10Aが実装基板11に実装される。

【0040】実装基板11は、前記したように多層セラミック基板であり、その内部には内部配線20が形成されると共に、ペアチップ10A(10B)が実装される所定位置には電極パッド21A、21Bが形成されている。尚、電極パッド21Aは最初に実装されるペアチップ10Aに対応した電極パッドであり、電極パッド21Bはペアチップ10Aの実装後に実装されるペアチップ10Bに対応した電極パッドである。

【0041】ペアチップ10Aを実装基板11に実装するには、先ずペアチップ10Aをポンディングツール22に装着し、ポンディングツール22を駆動することによりペアチップ10Aを実装基板11に圧着する。これにより、ペアチップ10Aに形成されているスタッドバンプ12は実装基板11に形成されている電極パッド21Aに押圧される。

【0042】また、上記のようにスタッドバンプ12の先端部にはマイクロカプセル15が付着されているため、図7に示されるように、このマイクロカプセル15はスタッドバンプ12と電極パッド21Aとの間に介装された状態となる。そして、ポンディングツール22によりスタッドバンプ12が電極パッド21Aに向け押圧されることにより、マイクロカプセル15を構成する絶縁膜18は破壊され、図8に示されるように、導電性フィラー17によりスタッドバンプ12と電極パッド21Aとは電気的に接続される。

【0043】また、ポンディングツール22にはヒーターが組み込まれており、ペアチップ10Aが実装基板11に搭載された状態で加熱処理が行われる。これにより、熱硬化性を有する樹脂14は熱硬化し、従ってスタッドバンプ12と電極パッド21Aとは樹脂14により接合された状態となる。

【0044】このように、スタッドバンプ12と電極パッド21Aとが樹脂14により接合することにより、ペアチップ10Aは実装基板11に仮止めされた状態となる。即ち、ペアチップ10Aは実装基板11にフリップチップポンディングされることにより仮止めされた状態となる。

【0045】ここで、樹脂14によるペアチップ10Aと実装基板11との仮止め状態に注目し、以下説明する。本実施例に係るフリップチップ実装方法では、上記のようにペアチップ10Aに形成されたスタッドバンプ12の先端に樹脂14を付着させ、その後にこの樹脂14にマイクロカプセル15を付着させるため、樹脂14及びマイクロカプセル15は実装基板11側ではなく、ペアチップ10Aに形成された個々のスタッドバンプ12に配設された構成となる。

【0046】そして、この樹脂14及びマイクロカプセル15がスタッドバンプ12に付着した状態のペアチップ10Aを実装基板11上にフリップチップボンディングすることにより、樹脂14はボンディングツール22により加熱されて熱硬化し、ペアチップ10Aは実装基板11に実装（仮止め）される。

【0047】この際、上記のように本実施例に係るフリップチップ実装方法は、従来のように多層セラミック基板2（実装基板）の電極パッド3に樹脂14を塗布（図11及び図12参照）するのではなく、各スタッドバンプ12に（即ち、ペアチップ10A側に）樹脂14を付着させる構成としている。

【0048】このため、図5に示されるように、ペアチップ10Aを実装基板11に熱圧着処理し、この熱が隣接するペアチップ10B用の電極パッド21Bに印加されても、電極パッド21Bには樹脂14は塗布されていないため、この電極パッド21Bがこの熱により影響を受けることはない。

【0049】1個目のペアチップ10Aの仮止めが終了すると、続いて図6に示されるように2個目のペアチップ10Bが1個目のペアチップ10Aの実装方法と同様の方法で実装基板11に仮止めされる。この際、2個目のペアチップ10Bもスタッドバンプ12の先端に樹脂14及びマイクロカプセル15を付着した構成とされているため、1個目のペアチップ10Aに拘わらずペアチップ10Bを実装基板11に仮止めすることができる。

【0050】従って、本実施例に係るフリップチップ実装方法によれば、実装基板11上にペアチップ10A, 10Bを近接配置することができる。上記のようにペアチップ10A, 10Bが実装基板11に仮止めされると、続いて図9に示されるように、ペアチップ10A, 10Bと実装基板11との間にアンダーフィルレジン23（例えば、エポキシ系の樹脂）を介装する。そして、このアンダーフィルレジン23を熱硬化させることによりペアチップ10A, 10Bを一括的に実装基板11に固定する。

【0051】このように、ペアチップ10A, 10Bと実装基板11との間にアンダーフィルレジン23を介装することによりペアチップ10A, 10Bを実装基板11に固定することにより、各ペアチップ10A, 10B

を実装基板11に確実に固定することができ実装の信頼性を向上することができる。

【0052】また、固定後に熱が印加されたような場合（実装基板11を他の回路基板に装着する場合等）であっても、ペアチップ10A, 10Bと実装基板11との熱膨張差による応力発生をアンダーフィルレジン23で抑制することができ、これによっても信頼性を向上することができる。

【0053】図10は、上記したフリップチップ実装方法の変形例を示している。上記した実施例では、樹脂14及びマイクロカプセル15をスタッドバンプ12の先端に付着するために、図2に示すように先ずスタッドバンプ12の先端に樹脂14を付着し、その後に樹脂14を接着剤としてマイクロカプセル15を付着させる構成としていた。

【0054】これに対し本変形例では、予めマイクロカプセル15を樹脂14に混入したマイクロカプセル混入樹脂24（以下、MC混合樹脂という）を作製しておき、これを混合樹脂供給容器25の上部に形成された凹部に装填しておく。そして、この混合樹脂供給容器25にスタッドバンプ12が形成されたペアチップ10A, 10Bを装着することにより、MC混合樹脂24をスタッドバンプ12の先端に付着させる。

【0055】上記した本変形例による方法を用いることにより、図2及び図3に示した方法ではマイクロカプセル15をスタッドバンプ12に付着させるのに二つの工程が必要であったものを、一つの工程で行うことができ、よってフリップチップ実装における工程の簡略化を図ることができる。

【0056】尚、上記した各実施例においては、ペアチップ10A, 10Bを実装基板11に実装する方法を例に挙げて説明したが、本発明に係るフリップチップ実装方法は、例えばBGA（Ball Grid Array）構造の半導体装置の実装、及びTAB（Tape Automated Bonding）における半導体チップのTABテープへの接合等に幅広く応用できるものである。

【0057】

【発明の効果】上述の如く本発明によれば、以下の種々の硬化を実現することができる。請求項1及び2記載の発明によれば、ある半導体素子に対し熱圧着処理を行うことにより熱が隣接する電極に印加されても、隣接する電極がこの熱により影響を受けることはなく、よって実装基板上に半導体素子を近接配置することが可能となり、これにより半導体素子を実装基板上に高密度に配置することができる。

【0058】また、請求項3及び請求項5記載の発明によれば、アンダーフィルレジンにより複数個の半導体素子を一括的に実装基板に接合することにより、各半導体素子を実装基板に確実に固定することができ実装の信頼性を向上することができる。また、固定後に熱が印加さ

シート?
復?

11

れたような場合であっても、半導体素子と実装基板との熱膨張差による応力発生をアンダーフィルレジンで抑制することができ、これによっても信頼性を向上することができる。

【0059】また、請求項4記載の発明によれば、請求項1のフリップチップ実装方法ではマイクロカプセルをバンプに付着させるのに二つの工程が必要であるものを、本請求項に係る方法では一つの工程で行うことができ、よってフリップチップ実装における工程の簡略化を図ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例を説明するための図であり、スタッドバンプが形成されたペアチップを示す図である。

【図2】本発明の一実施例を説明するための図であり、スタッドバンプに樹脂を付着させる処理を示す図である。

【図3】本発明の一実施例を説明するための図であり、スタッドバンプにマイクロカプセルを付着させる処理を示す図である。

【図4】本発明の一実施例を説明するための図であり、スタッドバンプに付着した樹脂及びマイクロカプセルを拡大して示す図である。

【図5】本発明の一実施例を説明するための図であり、1個目のペアチップを実装基板に仮止めする処理を示す図である。

【図6】本発明の一実施例を説明するための図であり、2個目のペアチップを実装基板に仮止めする処理を示す図である。

【図7】本発明の一実施例を説明するための図であり、

マイクロカプセルによるスタッドバンプと電極パッドとの電気的接続を説明するための図である。

【図8】本発明の一実施例を説明するための図であり、マイクロカプセルによるスタッドバンプと電極パッドとの電気的接続位置を拡大して示す図である。

【図9】本発明の一実施例を説明するための図であり、アンダーフィルレジンを装填する処理を示す図である。

【図10】本発明の変形例を説明するための図である。

【図11】従来のフリップチップ実装方法の一例を説明するための図であり、異方性導電性樹脂を印刷する処理を示す図である。

【図12】従来のフリップチップ実装方法の一例を説明するための図であり、1個目のペアチップを仮止めする処理を示す図である。

【図13】従来のフリップチップ実装方法の一例を説明するための図であり、2個目のペアチップを仮止めする処理を示す図である。

【図14】従来の問題点を説明するための図である。

【符号の説明】

20 10A, 10B ペアチップ

11 実装基板

12 スタッドバンプ

13 樹脂供給容器

14 樹脂

15 マイクロカプセル

16 マイクロカプセル供給容器

17 導電性フィラー

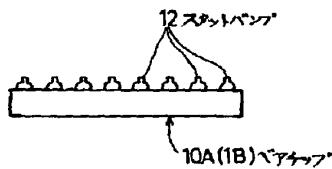
18 絶縁膜

21, 21A, 21B 電極パッド

30 22 ボンディングツール

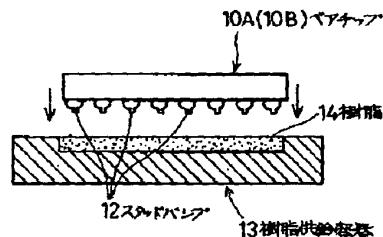
【図1】

本発明の一実施例を説明するための図であり、スタッドバンプが形成されたペアチップを示す図

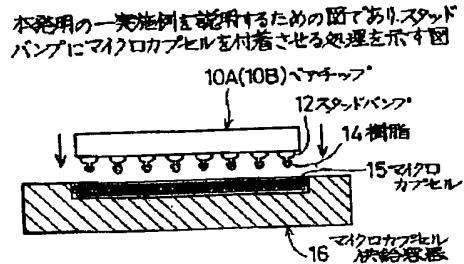


【図2】

本発明の一実施例を説明するための図であり、スタッドバンプに樹脂を付着させる処理を示す図

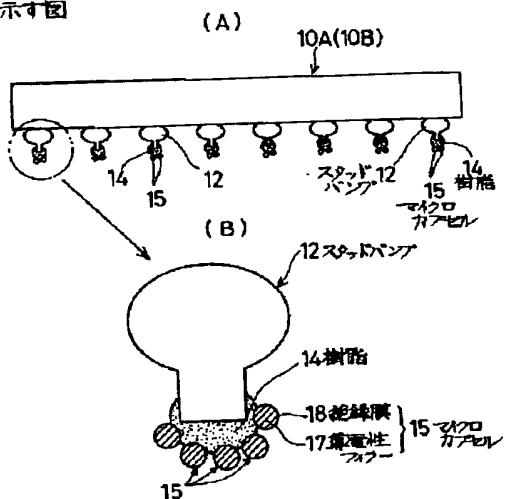


【図3】



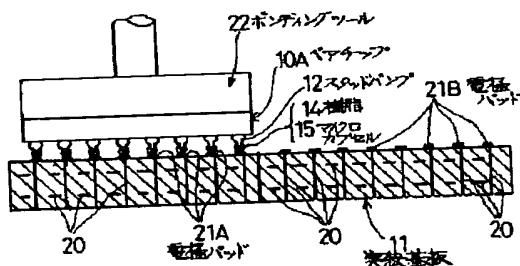
【図4】

本発明の一実施例を説明するための図であり、スタッドバンプに付着した樹脂及びマイクロカプセルを拡大して示す図



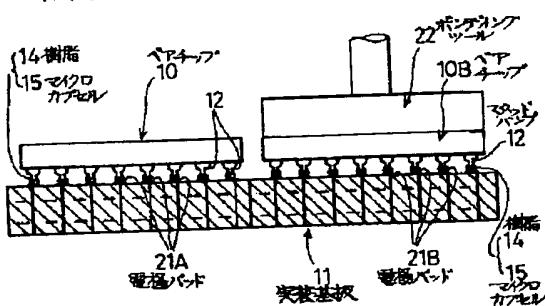
【図5】

本発明の一実施例を説明するための図であり、1個目のペアチップを実装基板に仮止めする処理を示す図



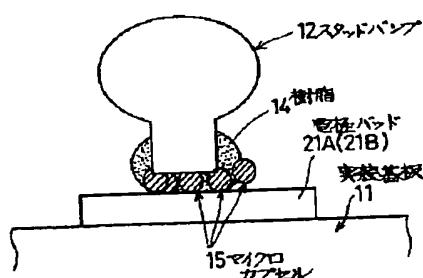
【図6】

本発明の一実施例を説明するための図であり、2個目のペアチップを実装基板に仮止めする処理を示す図



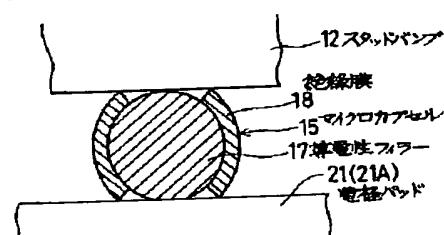
【図7】

本発明の一実施例を説明するための図であり、マイクロカプセルによるスタッドバンプと電極パッドとの電気的接続を説明するための図



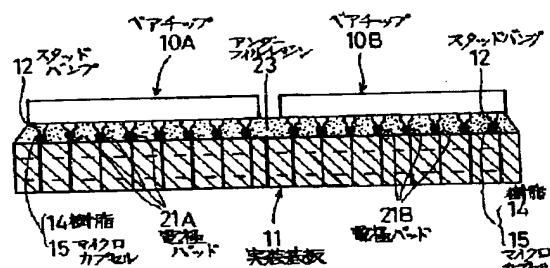
【図8】

本発明の一実施例を説明するための図であり、マイクロカプセルによるスタッドバンプと電極パッドとの電気的接続位置を拡大して示す図



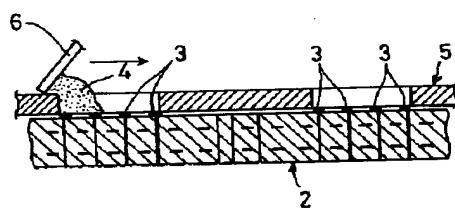
〔图9〕

本発明の一実施例を説明するための図であり、アンダーフィルレジンを装填する処理を示す図



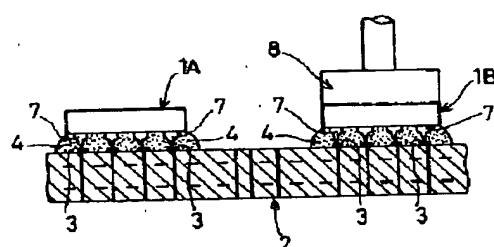
【图 1-1】

従来のフリップチップ実装法の一例を説明するための図であり、異方性導電性樹脂を有効にする処理を示す図



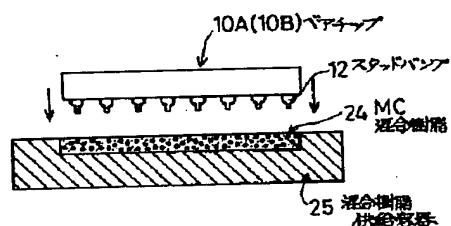
[図13]

従来のフリップチップ実装方法の一例を説明するための図



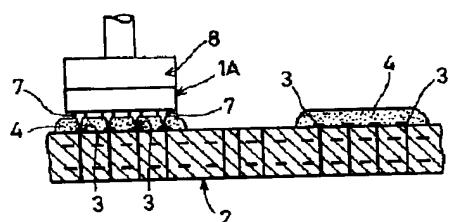
【图10】

本章用の表形例を説明するための図



[図12]

従来のフリップチップ実装方法の一例を説明するための図であり、1個目のベアチップを板止めする処理を示す図。



【図1-4】

従来のフリップチップ実装方法の一例を説明するための図

